عنوان پروژه: طراحی و شبیه سازی یک Full Adder دو بیتی

شرح پروژه:

هدف از این پروژه طراحی، ترسیم لی اوت و شبیه سازی (Post Layout Simulation) یک Full Adder دو بیتی در تکنولوژی 180 نانومتر CMOS می باشد. انتخاب نوع منطق و نوع معماری گیت های مورد نظر به عهده طراح است. ولتاژ منبع تغذیه 2.5 ولت بوده و گیت باید یک بار خازنی با ظرفیت 50fF را درایو کند.

هدف اصلی در طراحی آن است که تاخیر انتشار در بدترین وضعیت ممکن حداقل گردد. هدف بعدی به حداقل رسیدن سطح تراشه می باشد. تاخیر رجیستر به هیچ عنوان نباید از 0.4 ns بیش تر شود و سطح تراشه آن نباید مساحتی بیش تر از 650 μm^2 را اشغال کند. معیار طراحی مناسب $A \times {\tau_p}^2$ (حاصل ضرب مساحت و مجذور تاخیر انتشار در بدترین وضعیت ممکن) خواهد بود.

نتایج طراحی باید در گزارشی مکتوب، در قالب فهرست زیر ارائه شود. گزارش باید شامل توضیحات مربوط به انتخاب نوع منطق و معماری گیت، نحوه انتخاب اندازه ترانزیستورها، شکل و نمودارهای مورد نیاز و به ویژه جدول خلاصه نتایج طراحی نهایی باشد. لازم است که نتایج حاصل از شبیه سازی در سطح شماتیک و Post Layout با یک دیگر مقایسه شوند.

فهرست گزارش نهایی:

1. مقدمه
2. طراحی
   2.1. انتخاب نوع منطق
   2.2. تعیین اندازه ترانزیستورها
3. پیاده سازی با نرم افزار Cadence
   3.1. رسم شماتیک مدار مورد نظر
   3.2. رسم لی اوت
4. شبیه سازی با نرم افزار Cadence
   4.1. انجام DRC
   4.2. انجام LVS
   4.3. انجام RCX
   4.4. توضیح و ارائه Test bench ایجاد شده جهت شبیه سازی نهایی
   4.5. شبیه سازی شماتیک و ارائه نتایج به دست آمده
   4.6. Post Layout Simulation و ارائه نتایج به دست آمده
5. مقایسه و نتیجه گیری
6. خلاصه